

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274297

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H01L 21/768
H01L 21/3065

(21)Application number : 10-075569

(71)Applicant : SHARP CORP

(22)Date of filing : 24.03.1998

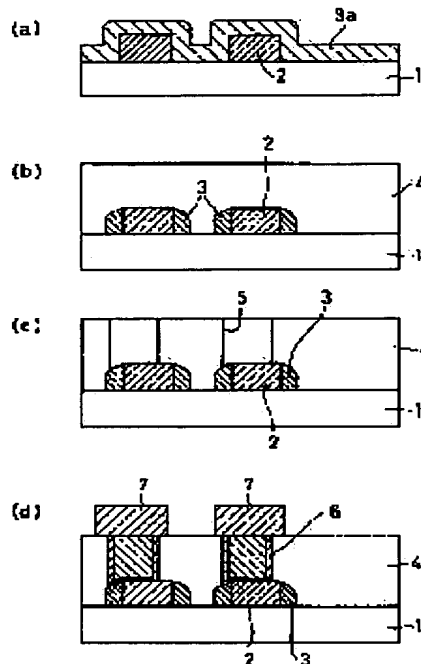
(72)Inventor : ALBERTO OSCAR ADAM

(54) MULTILAYER WIRING LAYER AND FORMING METHOD OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming a multilayer wiring layer whereby if an alignment deviation occurs when forming vias, an insulation film at the periphery of a lower wiring layer or substrate are not overetched to avoid forming trenches.

SOLUTION: The multilayer wiring layer forming method comprises forming a side wall spacer 3 on a lower layer wiring layer 2 formed on a substrate 1 as an etching stopper against a layer insulation film 4 in a later via forming step, forming a layer insulation film 4 on the substrate including the lower layer wiring layer 2 and side wall spacer 3, forming vias 5 through the layer insulation film 4 on the lower layer wiring layer 2, and forming an upper layer wiring layer 7 on the vias 5.



LEGAL STATUS

[Date of request for examination] 02.02.2001

[Date of sending the examiner's decision of rejection] 18.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274297

(43) 公開日 平成11年(1999)10月8日

(51) Int. Cl.⁶

H 0 1 L 21/768
21/3065

識別記号

F I

H 0 1 L 21/90
21/302

B
J

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平10-75569

(22) 出願日 平成10年(1998) 3月24日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 アルベルト オスカル アダン

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

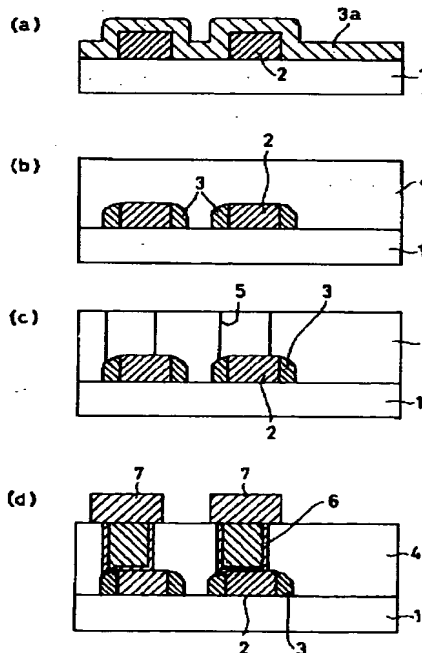
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 多層配線層の形成方法及び多層配線層

(57) 【要約】 (修正有)

【課題】 ビアホール形成時にアライメントずれが生じても、下層配線層の周辺部に存在する絶縁膜や基板等をオーバーエッチングせず、溝を発生させない多層配線層の形成方法を提供する。

【解決手段】 (i) 基板1上に形成された下層配線層2に、後工程におけるビアホール形成時に層間絶縁膜4に対するエッチングストッパーとなるサイドウォールスペーサ3を形成し、(ii)前記下層配線層及びサイドウォールスペーサを含む基板上に層間絶縁膜を形成し、(iii)前記下層配線層上の層間絶縁膜にビアホール5を形成し、(iv)該ビアホール上に上層配線層7を形成することからなる多層配線層の形成方法。



(2)

特開平 1 1 - 2 7 4 2 9 7

1

【特許請求の範囲】

【請求項 1】 (i) 基板上に形成された下層配線層に、後工程におけるビアホール形成時に層間絶縁膜に対するエッチングストッパーとなるサイドウォールスペーサを形成し、

(ii) 前記下層配線層及びサイドウォールスペーサを含む基板上に層間絶縁膜を形成し、

(iii) 前記下層配線層上の層間絶縁膜にビアホールを形成し、

(iv) 該ビアホール上に上層配線層を形成することからなる多層配線層の形成方法。

【請求項 2】 サイドウォールスペーサが、層間絶縁膜材料よりもエッチング速度が遅い材料で形成されてなる請求項 1 記載の多層配線層の形成方法。

【請求項 3】 サイドウォールスペーサが、 SiN 又は Al_2O_3 、層間絶縁膜が SiO_2 で形成されてなる請求項 2 記載の多層配線層の形成方法。

【請求項 4】 下層配線層と上層配線層とがビアホールを介して接続されてなり、少なくとも前記下層配線層の側壁に SiN 又は Al_2O_3 からなるサイドウォールスペーサを有する多層配線層。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線層の形成方法及び多層配線層に関し、ことに半導体集積回路に使用され、下層配線層と上層配線層とがビアホールを介して接続されてなる多層配線層の形成方法及び多層配線層に関する。

【0002】

【従来の技術および発明が解決しようとする課題】従来から、集積回路の分野において、層間絶縁膜の上下に存在する上層配線層と下層配線層とをコンタクトホールを介して電気的に接続する多層配線層が用いられている。近年の集積回路のさらなる高集積化は、このような多層配線層を密集させ、上下各配線層の線幅を細くしている。配線層の細線化は、下層配線層上にコンタクトホールを形成して上層配線層と接続する際のアライメントマージンを減少させるため、アライメントずれの発生をもたらす。

【0003】例えば、層間絶縁膜 14 にコンタクトホール 10 を形成する際にアライメントずれが発生した場合には、図 2 に示したように、下層配線層 11 の周辺、つまり半導体基板 12 表面にトレンチ 13 を生じさせるという問題がある。また、図 3 に示したように、その後層間絶縁膜 24 上に上部配線層 25 を形成する際に、上層配線層 25 の部分的な細線化や断線を生じさせることとなる。

【0004】これに対して、下層配線層上にバリア層を形成することにより、エッチングにおける選択比を利用して、アライメントずれが生じた場合でも、下層配線層

2

の周辺部分のオーバーエッチングによる溝の発生を防止する方法が提案されている（特開平 8-148499 号公報）。この方法を、図 4 (a) ~ (h) に示す。

【0005】まず、シリコン基板 31 上に下層配線層 32 を形成した後、基板 31 上全面に SiO_2 膜による下地絶縁膜 33 を形成し、この下地絶縁膜 33 を CMP 法により平坦化し、さらに SiN 膜により中間絶縁膜 34、 SiO_2 膜による層間絶縁膜 35 を形成する（図 4 (a)）。さらに、層間絶縁膜 35 上に所望のパターンを有するレジスト膜 36 を形成し（図 4 (b)）、このレジスト膜 36 をマスクと、中間絶縁膜 34 に対して層間絶縁膜 35 がエッチングされやすい条件で層間絶縁膜 35 をエッチングし（図 4 (c)）、続いて下地絶縁膜 33 に対して中間絶縁膜 34 がエッチングされやすい条件で中間絶縁膜 34 をエッチングする（図 4 (d)）。

【0006】このようなエッチング方法により、下層配線層 32 の端部周辺の下地絶縁膜 33 のオーバーエッチングが防止される。しかし、この方法では、バリア層となる中間絶縁膜 35 の積層工程等の工程が増加し、ひいては製造コストの増加をもたらすという問題がある。また、上記方法は、中間絶縁膜 35 のエッチングレートの差を利用するものであるが、やはり下層配線層周辺の下地絶縁膜 33 の溝の発生を完全に防止することができないという課題が残る。

【0007】

【課題を解決するための手段】本発明によれば、(i) 基板上に形成された下層配線層に、後工程におけるビアホール形成時に層間絶縁膜に対するエッチングストッパーとなるサイドウォールスペーサを形成し、(ii) 前記下層配線層及びサイドウォールスペーサを含む基板上に層間絶縁膜を形成し、(iii) 前記下層配線層上の層間絶縁膜にビアホールを形成し、(iv) 該ビアホール上に上層配線層を形成することからなる多層配線層の形成方法が提供される。

【0008】また、本発明によれば、下層配線層と上層配線層とがビアホールを介して接続されてなり、少なくとも前記下層配線層の側壁に SiN 又は Al_2O_3 からなるサイドウォールスペーサを有してなる多層配線層が提供される。

【0009】

【発明の実施の形態】本発明の多層配線層の形成方法において、工程 (i) で使用される基板は、通常基板として使用されるものであれば特に限定されず、シリコン、ゲルマニウム等の半導体基板、 GaAs 、 InGaAs 等の化合物半導体基板、樹脂やガラス等の絶縁性基板のいずれでもよい。また、この基板の上には、トランジスタやキャパシタ等の所望の素子又は回路や、絶縁膜、配線層、層間絶縁膜又はそれらが組み合わせられて形成されていてもよい。

【0010】下層配線層は、配線層として機能する層であれば特に限定されるものではなく、例えば、トランジスタやキャパシタの電極、これらの接続のために形成された導電層等が挙げられる。下層配線層の材料、膜厚、線幅等は特に限定されず、通常使用される範囲のものが挙げられる。例えば、ポリシリコン、シリサイド、ポリサイド、W、Ta、Ti等の高融点金属、Al、Cu、Ag、Pt、Au等、膜厚100～5000 μ m程度、線幅0.1～5 μ m程度が挙げられる。

【0011】下層配線層に形成されるサイドウォールスペースは、後工程におけるビアホール形成時に、後述する層間絶縁膜に対するエッチングストッパーとなり得るものである。ここで、エッチングストッパーとは、層間絶縁膜のエッチングの完了の検知を容易にすることにより、エッチング工程を終了させることができる機能を意味する。具体的には、サイドウォールスペースは、層間絶縁膜のエッチング条件でエッチングをし続けた場合に、エッチング速度を層間絶縁膜のエッチング速度に対して遅くする材料で形成することが挙げられる。つまり、同じエッチング条件でエッチングした場合の層間絶縁膜に対するサイドウォールスペースのエッチング比が～1:1.0程度となる材料が挙げられる。具体的には、サイドウォールスペースの材料は、SiN、Al₂O₃等の絶縁膜が挙げられる。

【0012】また、サイドウォールスペースの幅は、後述するビアホール形成時のアライメントマージンを確保することができる幅であることが好ましい。例えば、0.25 μ mのデザインルールによる製造技術では、アライメントマージンが0.1 μ m程度以上が好ましいため、この程度以上の幅であることが好ましい。工程(ii)において形成される層間絶縁膜は、絶縁性を確保できる材料で形成されるのであれば特に限定されるものではなく、例えば、SiO₂、Al₂O₃等が挙げられる。この際の膜厚は、例えば、500nm～1 μ m程度が挙げられる。

【0013】工程(iii)において下層配線層上の層間絶縁膜にビアホールを形成する。この際のビアホールは、コンタクトホールといわれるものも含まれる。ビアホールの大きさ、深さ等は特に限定されるものではない。ビアホールを形成する方法としては、公知の方法、例えばフォトリソグラフィ及びエッチング工程が挙げられる。ここでのエッチングは、層間絶縁膜及びサイドウォールスペースの材料によっても異なるが、例えば、ウェットエッチ法、ガスエッチ法、反応性エッチ法等種々の方法が挙げられる。なかでも、選択比の観点から反応性エッチングが好ましい。

【0014】このようなビアホールの形成により、ビアホールが下層配線層上においてアライメントずれが生じて一部がサイドウォールスペース上にオーバーラップした場合でも、サイドウォールスペースがビアホールのさ

らなる掘れを抑制し、下層配線層の周辺部の絶縁膜や基板表面等をオーバーエッチして溝を形成することが防止できる。

【0015】工程(iv)において、ビアホール上に上層配線層を形成する。ここでの上層配線層は、公知の材料により、公知の方法で形成することができる。なお、ビアホールには導電層からなる単一又は複数種のプラグ材料が埋設されてもよいし、さらにバリアメタル等が形成されていてもよい。以下、本発明の多層配線層の形成方法の実施例を図面に基づいて説明する。

【0016】まず、図1(a)に示したように、シリコン基板1上に膜厚1 μ m程度のAl-Cu膜を、スパッタ法により形成する。このAl-Cu膜をフォトリソグラフィ及びエッチング工程を用いて所望の形状にパターンニングし、下層配線層2を形成する。続いて、これら下層配線層2を含む基板1上に、スパッタリング法によりAl₂O₃層3aを積層する。この際のAl₂O₃層3aの膜厚は、後工程で形成されるサイドウォールスペースの幅に基づいて決定する。ここでは、例えば、100nm程度の膜厚で形成する。

【0017】次いで、図1(b)に示したように、BCl₃ガスを用いたエッチング法により、Al₂O₃層3aをエッチバックして下層配線層2の側壁にAl₂O₃からなるサイドウォールスペース3を形成する。ここで形成されるサイドウォールスペース3の幅は0.1 μ m程度で形成することができる。つまり、このサイドウォールスペースの幅は、ミスアライメントの許容範囲、つまりアライメントマージンに対応するものであり、例えば、0.25 μ mのデザインルールによる製造技術では、アライメントマージンが0.1 μ m程度必要であるため、その値に対応するものである。

【0018】その後、これら下層配線層2及びサイドウォールスペース3上に、シランガス及び酸素ガスを使用したCVD法により、SiO₂からなる層間絶縁膜4を膜厚2 μ m程度で積層し、CMP法によりその表面を平坦化する。続いて、図1(c)に示したように、フォトリソグラフィ及びCHF₃ガスを使用し、RFパワーを100Wとした反応性エッチング法により、下層配線層2上の層間絶縁膜にコンタクトホール5を形成する。この際、SiO₂:Al₂O₃の選択比は約1:7～10であるため、コンタクトホール5のアライメントがずれて、その一部がサイドウォールスペース3上にオーバーラップした場合でも、サイドウォールスペース3をほとんどエッチングすることなく、下層配線層2上面の位置でコンタクトホールの形成を止めることができる。

【0019】次に、コンタクトホール5にコンタクトプラグ6を埋設し、その後、層間絶縁膜4上に上層配線層7を形成する。

【0020】

【発明の効果】本発明の方法によれば、下層配線層に、

(4)

特開平 1 1 - 2 7 4 2 9 7

5

6

ビアホール形成時に層間絶縁膜に対するエッチングストッパーとなるサイドウォールスペーサを形成するため、ビアホール形成時にアライメントずれが生じて、下層配線層の周辺部に存在する絶縁膜や基板等をオーバーエッチングすることなく、溝の発生を防止することができ、接続について高い信頼性を有する多層配線層を形成することが可能となる。

【0021】また、サイドウォールスペーサにより、コンタクトホール形成時のアライメントマージンを確保することができるのと同時に、ビアホール形成時のエッチングの制御を容易にすることができる。

【図面の簡単な説明】

【図1】本発明の多層配線層の形成方法を説明するための要部の概略製造工程図である。

【図2】従来の多層配線層の形成方法における問題点を*

*説明するための多層配線層の概略断面図である。

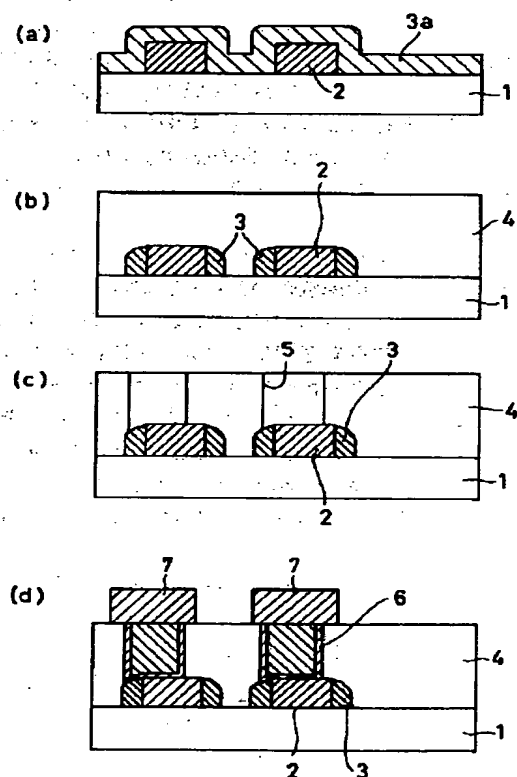
【図3】従来の他の多層配線層の形成方法における問題点を説明するための多層配線層の概略断面図である。

【図4】従来のさらに他の多層配線層の形成方法を説明するための要部の概略製造工程図である。

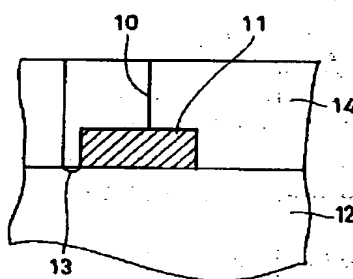
【符号の説明】

- 1 基板
- 2 下層配線層
- 3 a Al₂O₃ 膜
- 3 サイドウォールスペーサ
- 4 層間絶縁膜
- 5 ビアホール
- 6 コンタクトプラグ
- 7 上層配線層

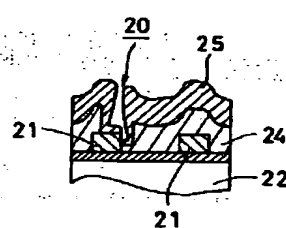
【図1】



【図2】(従来の)



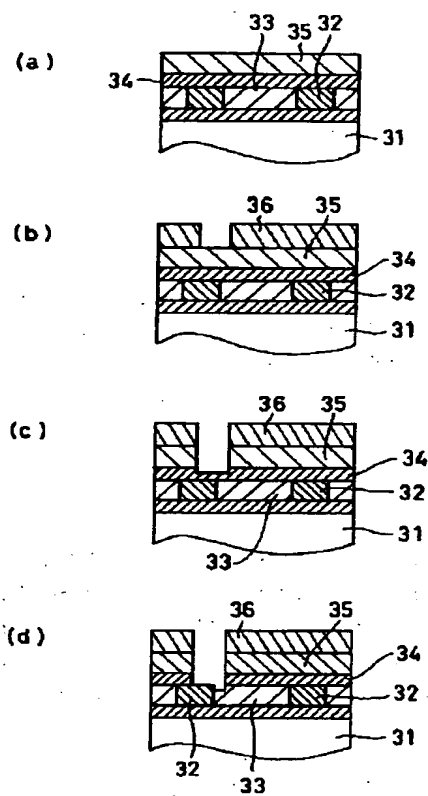
【図3】



(5)

特開平11-274297

【図4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-008299

(43)Date of publication of application : 12.01.1999

(51)Int.Cl.

H01L 21/768

(21)Application number : 09-262165

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 26.09.1997

(72)Inventor : NOMA TAKASHI

(30)Priority

Priority number : 09104687

Priority date : 22.04.1997

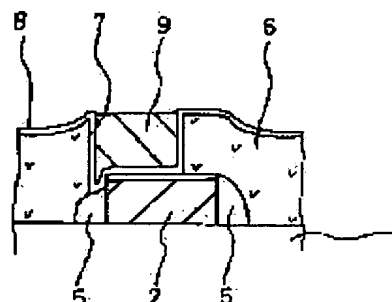
Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a contact hole from piercing through the film of a base, even if misalignment occurs at the time of forming a via contact hole on a wiring film.

SOLUTION: A lower wiring film 2 is formed on an interlayer insulating film 1. A sidewall spacer film 5 constituted of a silicon nitride film is formed on the sidewall part of the wiring film 2. A plasma TEOS film 6 is formed on the whole face of a substrate, and the plasma TEOS film 6 on the wiring film 2 is selectively etched so as to form a via contact hole 7. A tungsten film is formed on the whole face of the substrate containing the contact hole 7 via a barrier metal film 8, the tungsten film is etched back, and a tungsten plug 9 is embedded in the contact hole 7. An upper wiring film is formed on the tungsten plug 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-8299

(43)公開日 平成11年(1999) 1月12日

(51)Int.Cl.

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

B

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平9-262165

(22)出願日 平成9年(1997) 9月26日

(31)優先権主張番号 特願平9-104687

(32)優先日 平9(1997) 4月22日

(33)優先権主張国 日本 (J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 野間 崇

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

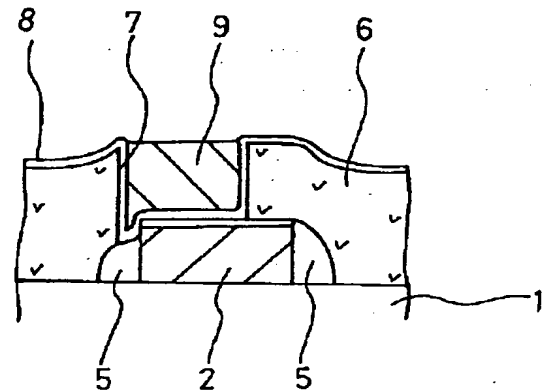
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 配線膜上にビアコンタクト孔を形成する際に、ミスマライメントが発生したとしても下地の膜へのコンタクト孔の突き抜けを防止する。

【解決手段】 層間絶縁膜1上に下層の配線膜2を形成した後に、該配線膜2の側壁部にシリコン窒化膜から成るサイドウォールスペーサ膜5を形成する。次に、前記基板全面にプラズマTEOS膜6を形成した後に、前記配線膜2上のプラズマTEOS膜6を選択的にエッチングしてビアコンタクト孔7を形成する。そして、前記コンタクト孔7内を含む基板全面にバリアメタル膜8を介してタングステン膜を形成した後に、該タングステン膜をエッチバックして前記コンタクト孔7内にタングステンプラグ9を埋設し、該タングステンプラグ9上に上層の配線膜を形成するものである。



8:バリアメタル膜

9:タングステンプラグ

【特許請求の範囲】

【請求項1】 半導体基板上に形成した下層の配線膜上に層間絶縁膜を介してコンタクト孔を形成し、該コンタクト孔内にタングステンプラグを埋設した後に、該タングステンプラグ上に上層の配線膜を形成するボーダーレスコンタクト構造から成る半導体装置の製造方法において、

前記下層の配線膜の側壁部にサイドウォールスペーサ膜を形成した後に該サイドウォールスペーサ膜をエッチングストップとして前記配線膜上の層間絶縁膜を選択的にエッチングしてコンタクト孔を形成することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に形成した下層の配線膜上に層間絶縁膜を介してコンタクト孔を形成し、該コンタクト孔内にタングステンプラグを埋設した後に、該タングステンプラグ上に上層の配線膜を形成するボーダーレスコンタクト構造から成る半導体装置の製造方法において、

前記半導体基板上に形成した絶縁膜上に下層の配線膜を形成する工程と、

前記配線膜を被覆するように全面にプラズマCVD法によりシリコン窒化膜を形成した後に該窒化膜を異方性エッチングして該配線膜の側壁部にサイドウォールスペーサ膜を形成する工程と、

前記基板全面にプラズマCVD法によりシリコン酸化膜から成る層間絶縁膜を形成する工程と、

前記配線膜上の層間絶縁膜を選択的にエッチングしてコンタクト孔を形成する工程と、

前記コンタクト孔内を含む基板全面にタングステン膜を形成した後に該タングステン膜をエッチバックして前記コンタクト孔内にタングステンプラグを埋設する工程と、

前記タングステンプラグ上に上層の配線膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板上に形成した下層の配線膜上に層間絶縁膜を介してコンタクト孔を形成し、該コンタクト孔内にタングステンプラグを埋設した後に、該タングステンプラグ上に上層の配線膜を形成するボーダーレスコンタクト構造から成る半導体装置の製造方法において、

前記半導体基板上に形成した絶縁膜上に下層の配線膜を形成する工程と、

前記配線膜を被覆するように全面にプラズマCVD法によりシリコンを豊富に含有するシリコン酸化膜を形成した後に該酸化膜を異方性エッチングして該配線膜の側壁部にサイドウォールスペーサ膜を形成する工程と、

前記基板全面にプラズマCVD法によりシリコン酸化膜から成る層間絶縁膜を形成する工程と、

前記配線膜上の層間絶縁膜を選択的にエッチングしてコンタクト孔を形成する工程と、

前記コンタクト孔内を含む基板全面にタングステン膜を形成した後に該タングステン膜をエッチバックして前記コンタクト孔内にタングステンプラグを埋設する工程と、

前記タングステンプラグ上に上層の配線膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 前記サイドウォールスペーサ膜を形成するシリコンを豊富に含有したシリコン酸化膜の酸素濃度がおよそ50%乃至60%であることを特徴とする請求項3に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関するもので、更に詳しく言えば、エクステンションを持たない配線膜上にビアコンタクト孔を開口し、該コンタクト孔内にタングステンプラグを埋設する、いわゆるボトムボーダーレスコンタクトにおけるマスク合わせ技術に関する。

【0002】

【従来の技術】先ず、従来の配線膜上にビアコンタクト孔を開口し、該コンタクト孔内にタングステンプラグを埋め込んだ前記配線膜とタングステンプラグとのコンタクト状態について図11を基に説明する。従来のタングステンプラグと配線膜とのコンタクト状態は、図11に示すように例えば、半導体基板上に形成した絶縁膜21上にアルミニウム膜から成る下層の配線膜22が形成されており、該配線膜22を被覆するように基板全面にプラズマCVD法によりシリコン酸化膜であるTEOS膜（テトラエキシラン）から成る層間絶縁膜23が形成されている。また、前記配線膜22上に前記層間絶縁膜23を介してビアコンタクト孔24が形成されており、該コンタクト孔24内にチタン膜及びチタンナイトライド膜（TiN膜）から成る密着膜としてのバリアメタル膜25を介してタングステンプラグ26が埋設されている。そして、前記タングステンプラグ26上にアルミニウム膜から成る上層の配線膜27が形成されている。

【0003】このように下層の配線膜22とコンタクト孔24の関係は、図11に示すように配線膜22の四隅には、前述したビアコンタクト孔24形成時のミスアライメントが発生した場合に下地の膜が削られ、デバイス特性が変わることを防止するため、前記配線膜23の四隅に重ね合わせのためのスペースとしてのエクステンションEを設けておき、ミスアライメントが発生したとしても下層の配線膜22の表面からコンタクト孔24が外れないようにしていた。

【0004】そのため、配線間のピッチを小さくすることができないという問題があった。そこで、近年、半導体装置の高集積化、微細化に伴って、配線ピッチの縮小が必要不可欠となり、前述したようなエクステンションを持たない配線膜上にビアコンタクト孔を開口し、該コ

(3)

特開平 1 1 - 8 2 9 9

3

ンタクト孔内にタングステンプラグを埋設するボトムボーダーレスコンタクト構造の半導体製造方法が注目されてきている。

【0005】以下、例えばタングステンプラグを用いたボトムボーダーレスコンタクト構造について図12及び図13を基に説明する。従来のボトムボーダーレスコンタクト構造は、図12に示すように例えば、半導体基板上に形成した絶縁膜21上にエクステンションを持たない下層の配線膜22Aが形成され、該配線膜22Aを被覆するように基板全面にプラズマCVD法によりシリコン酸化膜であるTEOS膜から成る層間絶縁膜23が形成されている。そして、前記配線膜22A上に該層間絶縁膜23を介してビアコンタクト孔24が形成され、該コンタクト孔24内にチタン膜及びチタンナイトライド膜(TiN膜)から成るバリアメタル膜25を介してタングステンプラグ26が埋設され、更に該タングステンプラグ26上に上層の配線膜が形成された構造をしている。

【0006】また、本ボーダーレスコンタクト構造の他の実施構造としては図13に示すように例えば、半導体基板30上にLOCOS法(local oxidation of silicon)により形成したLOCOS酸化膜31上にポリシリコン膜32が形成され、全面を被覆するようにBPSG膜等の第1の層間絶縁膜33が形成されている。また、前記層間絶縁膜33上にアルミニウム膜等の配線膜34A、34Bが形成され、全面にプラズマCVD法によりシリコン酸化膜であるTEOS膜の第2の層間絶縁膜36が形成された後に、前記配線膜34A、34B上に前記層間絶縁膜36を介してビアコンタクト孔37A、37Bが開口され、該コンタクト孔37A、37B内にチタン膜及びチタンナイトライド膜(TiN膜)から成る密着膜としてのバリアメタル膜38を介してタングステンプラグ39A、39Bを埋設している。35は前記配線膜34A、34B形成時のリソ工程におけるハレーションを防止するための反射防止膜である。

【0007】

【発明が解決しようとする課題】しかしながら、前述したような配線膜34A、34Bにエクステンションを持たないボトムボーダーレス構造をとることで、自ずとミスマライメントによるマスク合わせずれ対策が必要であり、例えばミスマライメントが発生した場合には、下地の膜が削られて絶縁不良が発生することがあった。

【0008】即ち、配線膜34A、34B上に形成するビアコンタクト孔形成時には、前記LOCOS酸化膜31上での段差に応じて層間絶縁膜36の膜厚が異なり、異なる膜厚部分に形成するコンタクト孔37A、37Bの開口深さにも自ずと差ができるため、コンタクトエッチングする際に深い方のコンタクト孔37Bに合わせてエッチング時間を設定する必要があり、浅い方のコンタクト孔37Aではオーバーエッチングがかかることにな

4

る。

【0009】従って、特に、図13に示すように浅いコンタクト孔37A側でリソ工程におけるミスマライメントが発生し下地の層間絶縁膜33が削れると、LOCOS酸化膜31上に形成されたポリシリコン膜32とタングステンプラグ39Aとの間でショートが発生することがあった(図13に示す点線円参照)。また、タングステンプラグ39A、39Bを形成する際に、前述した下地の膜33まで到達するコンタクト孔37Aの下面の幅寸法の比較的狭い開口部Hの存在により、タングステン膜が均一に形成されないことがある。即ち、前記開口部Hのような狭い領域に形成されるバリアメタル膜は、他の領域に形成されるバリアメタル膜に比べて薄くなる等の形成状態が悪くなり、タングステン膜のスパッタ処理時にバリアメタル膜がその薄い部分から切れてはがれたりすると、その部分にタングステン膜が異常堆積(いわゆるボルケーノ)するという現象が発生することがある。

【0010】従って、本発明では配線膜上にビアコンタクト孔を形成する際に、ミスマライメントが発生したとしても下地の膜へのコンタクト孔の突き抜けを防止するコンタクト孔のマスク合わせ技術を改善する半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】そこで、本発明の請求項1に記載の半導体装置の製造方法は、半導体基板上に形成した下層の配線膜上に層間絶縁膜を介してコンタクト孔を形成し、該コンタクト孔内にタングステンプラグを埋設した後に、該タングステンプラグ上に上層の配線膜を形成するボーダーレスコンタクト構造を構成するものにおいて、前記下層の配線膜の側壁部にサイドウォールスペーサ膜を形成した後に、該サイドウォールスペーサ膜をエッチングストップパとして前記配線膜上の層間絶縁膜を選択的にエッチングしてコンタクト孔を形成することを特徴とするものである。

【0012】また、請求項2に記載の半導体装置の製造方法は、半導体基板上に形成した絶縁膜上に下層の配線膜を形成し、該配線膜を被覆するように全面にプラズマCVD法によりシリコン窒化膜を形成した後に、該窒化膜を異方性エッチングして該配線膜の側壁部にサイドウォールスペーサ膜を形成する。次に、前記基板全面にプラズマCVD法によりシリコン酸化膜から成る層間絶縁膜を形成した後に、前記配線膜上の層間絶縁膜を選択的にエッチングしてコンタクト孔を形成する。そして、前記コンタクト孔内を含む基板全面にタングステン膜を形成した後に、該タングステン膜をエッチバックして前記コンタクト孔内にタングステンプラグを埋設し、該タングステンプラグ上に上層の配線膜を形成する工程を有することを特徴とするものである。

【0013】更に、請求項3に記載の半導体装置の製造

50

(4)

特開平 1 1 - 8 2 9 9

5

方法は、半導体基板上に形成した絶縁膜上に下層の配線膜を形成し、該配線膜を被覆するように全面にプラズマ CVD 法によりシリコンを豊富に含有するシリコン酸化膜を形成した後に、該酸化膜を異方性エッチングして該配線膜の側壁部にサイドウォールスペーサ膜を形成する。次に、前記基板全面にプラズマ CVD 法によりシリコン酸化膜から成る層間絶縁膜を形成した後に、前記配線膜上の層間絶縁膜を選択的にエッチングしてコンタクト孔を形成する。そして、前記コンタクト孔内を含む基板全面にタングステン膜を形成した後に、該タングステン膜をエッチバックして前記コンタクト孔内にタングステンプラグを埋設し、該タングステンプラグ上に上層の配線膜を形成する工程を有することを特徴とするものである。

【0014】また、請求項 4 に記載の半導体装置の製造方法は、前記請求項 3 に記載の半導体装置の製造方法において、前記サイドウォールスペーサ膜を形成するシリコンを豊富に含有したシリコン酸化膜の酸素濃度がおよそ 50% 乃至 60% であることを特徴とするものである。

【0015】

【発明の実施の形態】以下、本発明の半導体装置の製造方法の一実施形態について図 1 乃至図 5 を基に説明する。先ず、図 1 に示すように図示しない半導体基板上の例えば、BPSG 膜から成る層間絶縁膜 1 上におよそ 5000 Å の膜厚のアルミニウム膜等の配線膜 2 が形成され、該配線膜 2 上には配線膜 2 形成時のリソ工程におけるハレーションを防止するためのチタンナイトライド膜 (TiN 膜) 等の反射防止膜 3 が形成されている。そして、前記配線膜 2 を被覆するように全面におよそ 2000 Å 乃至 3000 Å の膜厚のシリコン窒化膜 (SiN 膜) 4 を NH₃ とモノシラン (SiH₄) を原料ガスとするプラズマ CVD 法により形成する。

【0016】次に、前記シリコン窒化膜 4 を異方性エッチングして前記配線膜 2 の側壁部にのみシリコン窒化膜 4 を残膜させて図 2 に示すようにサイドウォールスペーサ膜 5 を形成する。続いて、図 3 に示すように全面におよそ 5000 Å 乃至 10000 Å の膜厚のシリコン酸化膜である TEOS 膜 6 を TEOS と O₂ を原料ガスとするプラズマ CVD 法にて形成する。

【0017】次に、リソ工程でレジスト膜を加工後に前記配線膜 2 上にビアコンタクト孔を形成する際に、例えば CHF₃、CF₄ 等のエッチングガスを用いたドライエッチング法により、前記 TEOS 膜 6 をエッチングする。このとき、ミスアライメントが発生した場合に前記サイドウォールスペーサ膜 5 がエッチングストップとなり、図 4 に示すようにビアコンタクト孔 7 による下地の膜 1 への突き抜けが防止される。

【0018】続いて、前記ビアコンタクト孔 7 を含む全面にチタン膜及びチタンナイトライド膜 (TiN 膜) が

6

ら成る密着膜としてのバリアメタル膜 8 を介してタングステン膜を形成した後に、エッチバックして当該タングステン膜を前記コンタクト孔 7 内に埋設して、図 5 に示すようにタングステンプラグ 9 を形成する。そして、前記タングステンプラグ 9 上にアルミニウム等の上層の配線膜を形成する。

【0019】以上説明したように本発明では、下層の配線膜 2 の側壁部にプラズマ CVD 法によるシリコン窒化膜から成るサイドウォールスペーサ膜 5 を形成することで、本発明が適用されるボーダーレスコンタクト構造の半導体装置の製造方法においてミスアライメントが発生したとしても、当該サイドウォールスペーサ膜 5 がエッチングストップとなり、ビアコンタクト孔 7 形成時のエッチングにより下地の膜 1 への突き抜けを防止できる。

【0020】本発明は、特に従来技術の項目で説明したような段差のある膜上に形成した配線膜上にビアコンタクトを形成するものに適用すると、更に効果が顕著である。即ち、図 6 に示すように例えば、半導体基板 10 上に LOCOS 法 (local oxidation of silicon) により形成した LOCOS 酸化膜 11 上にポリシリコン膜 12 が形成され、全面を被覆するように BPSG 膜から成る層間絶縁膜 13 が形成されている。また、前記層間絶縁膜 13 上にアルミニウム膜等の配線膜 14A、14B が形成されているような、段差のある膜上にそれぞれ配線膜 14A、14B が形成されている場合である。尚、15 は配線膜 14A、14B 形成時のリソ工程におけるハレーションを防止するためのチタンナイトライド膜 (TiN 膜) から成る反射防止膜である。

【0021】このような状態の配線膜 14A、14B 上に前述したボトムボーダーレスコンタクト技術によりビアコンタクト孔を形成する。この場合、先ず、前述したようにそれらの配線膜 14A、14B を被覆するように基板全面におよそ 2000 Å 乃至 3000 Å の膜厚のシリコン窒化膜をプラズマ CVD 法にて形成した後に、該窒化膜を異方性エッチングして前記配線膜 14A、14B の側壁部にのみシリコン窒化膜を残膜させてサイドウォールスペーサ膜 16 を形成する。

【0022】続いて、全面におよそ 5000 Å 乃至 10000 Å の膜厚のシリコン酸化膜であるプラズマ TEOS 膜から成る層間絶縁膜 17 をプラズマ CVD 法にて形成する。次に、リソ工程でレジスト膜を加工後に前記配線膜上にビアコンタクト孔 18A、18B を形成する際に、前記層間絶縁膜 17 (TEOS 膜) / サイドウォールスペーサ膜 16 (シリコン窒化膜) のエッチングレート比を利用することで、従来技術の項目で説明した開口深さの異なるコンタクト孔 18A、18B を形成するため、浅いコンタクト孔 18A 側にオーバーエッチングをかける場合に、ミスアライメントが発生したとしても前記サイドウォールスペーサ膜 16 がエッチングストップとなり、図 6 に示すように下地の膜 13 へのビアコンタ

クト孔18Aによる突き抜けを防止できる。

【0023】続いて、前記ビアコンタクト孔18A、18Bを含む全面にチタン膜及びチタンナイトライド膜(TiN膜)から成る密着膜としてのバリアメタル膜19を介してタングステン膜を形成した後に、エッチバックして当該タングステン膜を前記コンタクト孔18A、18B内に埋設して、タングステンプラグ20A、20Bを形成した後に、該タングステンプラグ20A、20B上にアルミニウム等の上層の配線膜を形成する。

【0024】このように段差のある下地の膜13上に形成したエクステンションを持たない配線膜14A、14B上にビアコンタクト孔を形成するボトムボーダーレスコンタクト構造において、前記LOCOS酸化膜11上での段差に応じてコンタクトエッチングする際にオーバーエッチングをかける場合でも、リソ工程でミスアライメントが発生したとしても、下地の膜13が削られてLOCOS酸化膜11上に形成したポリシリコン膜12とタングステンプラグ20Aとがショートする等の絶縁不良が発生するという問題を抑止できる。

【0025】また、前述したように下地の膜13が削られることがなくなるため、従来のような狭い開口部の存在によりタングステン膜を形成するための密着膜として働くバリアメタル膜の形成状態が悪化し、該バリアメタル膜が途中から切れてはがれることで発生する、タングステン膜の異常堆積(ボルケーノ)の発生を抑止できる。

【0026】以下、本発明の他の実施形態について図7及び図8を基に説明する。尚、一実施形態と同等の構成については、同符号を付して説明を省略している。本発明の他の実施形態の特徴は、サイドウォールスペーサ膜としてシリコンを豊富に含有したシリコン酸化膜(SRO膜)を用いたことである。即ち、図7に示すように図示しない半導体基板上の例えば、BPSG膜から成る層間絶縁膜1上におよそ5000Åの膜厚のアルミニウム膜等の配線膜2を形成し、該配線膜2上には配線膜2形成時のリソ工程におけるハレーションを防止するためのチタンナイトライド膜(TiN膜)等の反射防止膜3が形成されている。そして、前記配線膜2を被覆するように全面におよそ2000Å乃至3000Åの膜厚のシリコンを豊富に含有したシリコン酸化膜(SRO膜、以下シリコンリッチ酸化膜と称す。)をプラズマCVD法により形成し、該シリコンリッチ酸化膜を異方性エッチングして前記配線膜2の側壁部にのみシリコンリッチ酸化膜を残膜させて図7に示すようにサイドウォールスペーサ膜5Aを形成している。尚、前記シリコンリッチ酸化膜は、N₂Oとモノシラン(SiH₄)を原料ガスとするプラズマCVD法により形成しているが、LPCVD法にて形成しても良い。

【0027】以下、前述した一実施形態と同様にして、全面におよそ5000Å乃至10000Åの膜厚のシリ

コン酸化膜であるTEOS膜6をプラズマCVD法にて形成し、TEOS膜6にビアコンタクト孔7を形成した後に、該ビアコンタクト孔7を含む全面にチタン膜及びチタンナイトライド膜(TiN膜)から成る密着膜としてのバリアメタル膜8を介してタングステンプラグ9を形成し、更に該タングステンプラグ9上にアルミニウム等の上層の配線膜を形成する。

【0028】本発明の他の実施形態においても、一実施形態と同様に前記配線膜2上にビアコンタクト孔7を形成する際に、TEOS膜6とサイドウォールスペーサ膜5Aを形成するシリコンリッチ酸化膜とのエッチングレート比を利用して、例えばCHF₃、CF₄等のエッチングガスを用いたドライエッチング法により、前記TEOS膜6をエッチングする際に、ミスアライメントが発生した場合でも前記サイドウォールスペーサ膜5Aがエッチングストップとなり、図7に示すようにビアコンタクト孔7による下地の膜1への突き抜けが防止される。

【0029】尚、図8にはシリコン酸化膜に対するシリコンリッチ酸化膜のエッチング選択比(酸化膜エッチレート/シリコンリッチ酸化膜エッチレート)の膜中酸素濃度依存性を示してあり、図8に示された通り、酸素濃度が減少し、シリコンリッチになるに従って選択比が向上していることがわかる。このことから、本発明のようにエッチングストップ層として使用するシリコンリッチ酸化膜は、選択エッチングに必要な2〜3程度の選択比を得るためには、酸素組成がおよそ50%乃至60%の膜が良い。

【0030】更に、本発明では図9に示すように配線膜2A、2Bの側壁部にサイドウォールスペーサ膜5を形成したことにより、このサイドウォールスペーサ膜5を利用して、配線膜2A、2Bに順テーパがかかるので層間絶縁膜の埋め込み特性が向上でき、例えば従来、図10に示すようにボイドVが発生していたような膜形成条件においても膜形成状態が良好になるため、ボイドVの発生が抑止できる。

【0031】また、サイドウォールスペーサ膜5、5Aの材質としてシリコン窒化膜やシリコンを豊富に含有するシリコン酸化膜を用いているが、シリコンを豊富に含有するシリコン酸化膜を用いた場合には、シリコン窒化膜より誘電率が低いため、回路遅延という問題に関して有利となる。更に言えば、本発明のようにサイドウォールスペーサ膜を形成することで、多層配線構造プロセスにおける段差低減技術として周知なSOG膜(スピノングラス)を形成し、該SOG膜をエッチバックして段差を低減する技術を用いることなく、多層配線プロセスが構築可能となる。

【0032】

【発明の効果】以上、本発明によれば配線膜にエクステンションを持たないボトムボーダーレスコンタクト構造に対しても、配線膜上にビアコンタクト孔を形成する場

(6)

特開平 1 1 - 8 2 9 9

9

合に、配線膜の側壁にサイドウォールスペーサ膜を形成することで、コンタクト孔がミスアライメントによって配線膜から一部分が外れたとしても、下地の膜がエッチングされるのを防止でき、ボーダーレスコンタクト構造の信頼性が向上する。

【0033】特に、本発明は、LOCOS酸化膜上での段差に応じて下地の膜上に形成した配線膜上に開口深さの異なるビアコンタクト孔を形成するため、浅いコンタクト孔側にオーバーエッチングをかける際に、リソ工程でミスアライメントが発生したとしても、下地の膜が削られてLOCOS酸化膜上のポリシリコン膜と配線膜との間で絶縁不良が発生することを防止できる。

【0034】また、下地の膜が削られることがなくなるため、従来のような狭い開口部の存在によりタングステン膜を形成するための密着膜として働くバリアメタル膜の膜形成状態が悪化し、該バリアメタル膜が途中から切れてはかれることで発生する、タングステン膜の異常堆積（ボルケーノ）の発生を抑止でき、タングステン膜を均一にスパッタ形成することができる。

【0035】更に、本発明では配線膜の側壁部にサイドウォールスペーサ膜を形成することで、前記配線膜に順テーパーがかかるので層間絶縁膜での埋め込み特性が向上し、従って、膜の形成状態が良好となるため、ボイドの発生が抑制できる。また、サイドウォールスペーサ膜の材質としてシリコン窒化膜やシリコンを豊富に含有するシリコン酸化膜を用いているが、シリコンを豊富に含有するシリコン酸化膜を用いた場合には、シリコン窒化膜より誘電率が低いため、回路遅延という問題に関して有利となる。

【0036】更に言えば、多層構造プロセスにおける段差低減技術として公知なSOG膜を形成し、該SOG膜*

10

*をエッチバックして段差を低減する技術を用いることなく、従来より平坦な多層プロセスが構築可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置の製造方法を示す第1の断面図である。

【図2】本発明の一実施形態の半導体装置の製造方法を示す第2の断面図である。

【図3】本発明の一実施形態の半導体装置の製造方法を示す第3の断面図である。

10 【図4】本発明の一実施形態の半導体装置の製造方法を示す第4の断面図である。

【図5】本発明の一実施形態の半導体装置の製造方法を示す第5の断面図である。

【図6】本発明の一実施形態の半導体装置の製造方法を示す第6の断面図である。

【図7】本発明の他の実施形態の半導体装置の製造方法を示す第1の断面図である。

【図8】シリコン酸化膜に対するシリコンリッチ酸化膜のエッチング選択比（酸化膜エッチレート／シリコンリッチ酸化膜エッチレート）の膜中酸素濃度依存性を説明するための図である。

【図9】本発明の半導体装置の製造方法による層間絶縁膜の形成状態を説明するための図である。

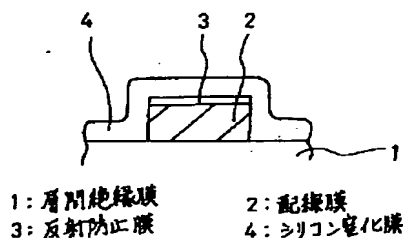
【図10】本発明の半導体装置の製造方法による層間絶縁膜の形成状態を説明するための図である。

【図11】従来の半導体装置の製造方法を示す断面図である。

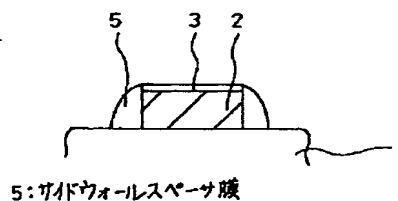
【図12】従来の半導体装置の製造方法を示す断面図である。

【図13】従来の半導体装置の製造方法を示す断面図である。

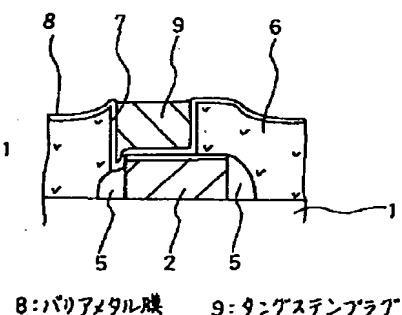
【図1】



【図2】



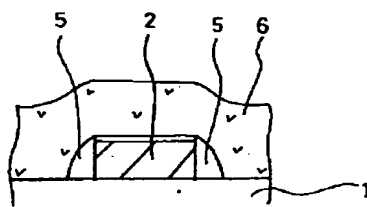
【図5】



(7)

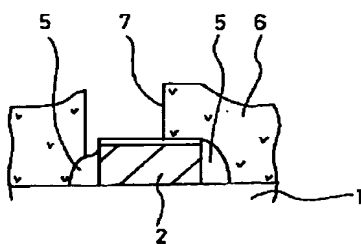
特開平11-8299

【図3】



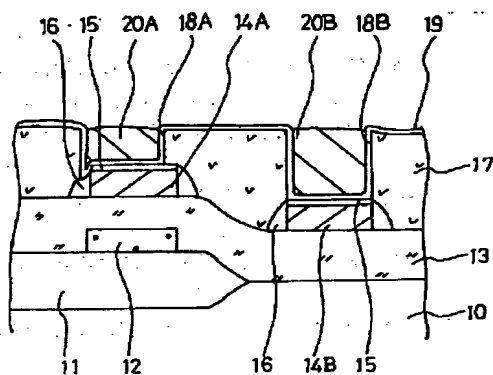
6: プラズマ TEOS膜

【図4】



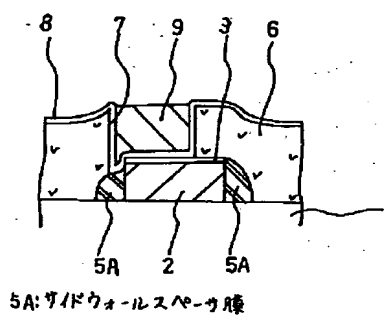
7: ピアコンタクト孔

【図6】



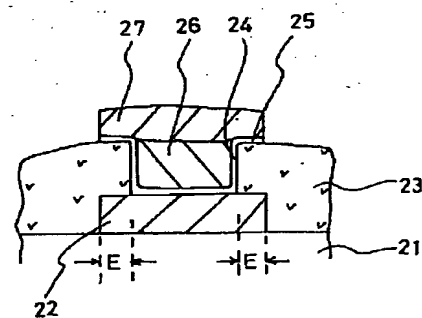
10: 半導体基板
11: LOCOS酸化膜
12: ポリシリコン膜
13: 層間絶縁膜
14A, 14B: 配線膜
15: 反射防止膜
16: サイドウォールスペーサ膜
17: 層間絶縁膜
18A, 18B: ピアコンタクト孔
19: バリウム金属膜
20A, 20B: タングステンプラグ

【図7】

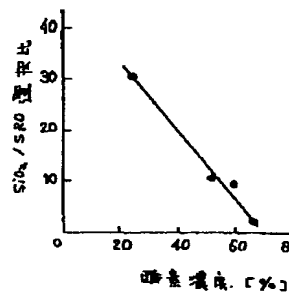


5A: サイドウォールスペーサ膜

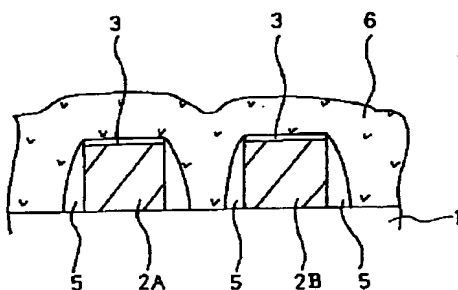
【図11】



【図8】



【図9】

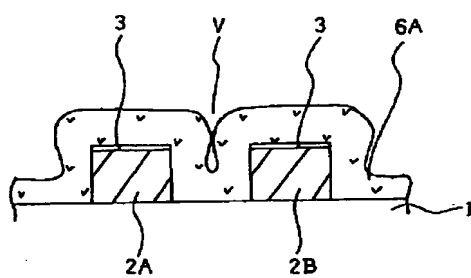


2A, 2B: 配線膜

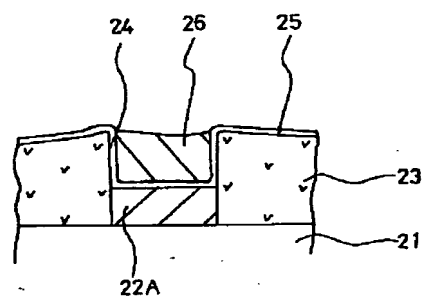
(8)

特開平 1 1 - 8 2 9 9

【図 10】



【図 12】



【図 13】

